

METHOD OF PREPARING TRANSISTOR**Patent number:** JP2001308344**Publication date:** 2001-11-02**Inventor:** YAMAZAKI SHUNPEI**Applicant:** SEMICONDUCTOR ENERGY LAB**Classification:**

- international: **H01L21/20; H01L21/265; H01L21/336; H01L29/78; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L29/786; H01L21/20; H01L21/265; H01L21/336; H01L29/78**

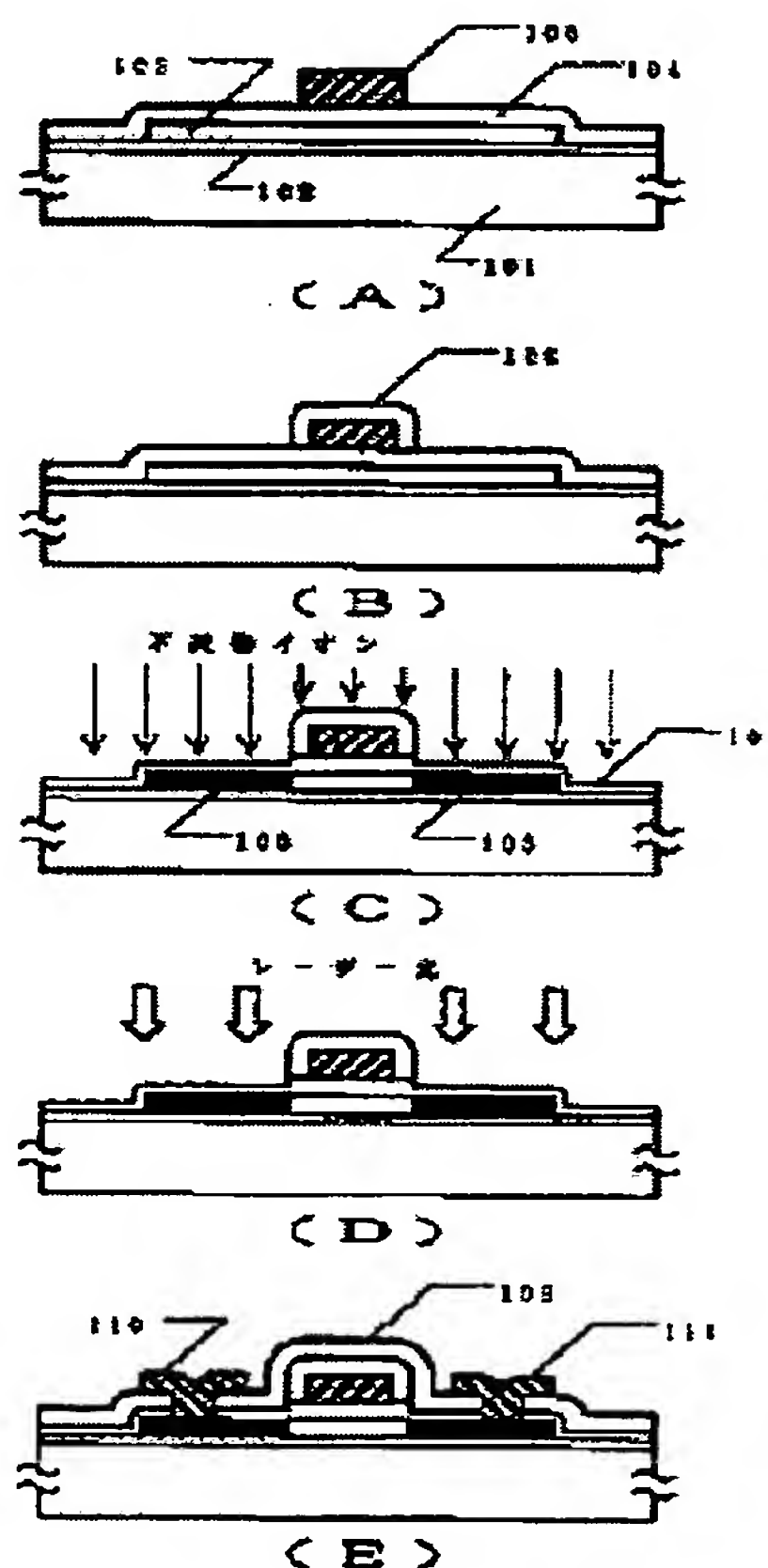
- european:

Application number: JP20010083241 20010322**Priority number(s):** JP20010083241 20010322

Report a data error here

Abstract of JP2001308344

PROBLEM TO BE SOLVED: To provide a method for preparing a transistor which can improve the crystallization of a semiconductor film. **SOLUTION:** In the method for preparing a transistor having a semiconductor containing source and drain regions and a channel formation regions, a gate insulated film in contact with the semiconductor, and a gate electrode in contact with the gate insulated film; the source and drain regions are formed by adding N or P type impurities in the semiconductor and then radiating an Nd: YAG laser beam onto the semiconductor having the impurities added therein.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-308344

(P 2 0 0 1 - 3 0 8 3 4 4 A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
H01L 29/786		H01L 21/20	
21/336		21/265	602 C
21/20			602 B
21/265	602	29/78	616 M
			301 F

審査請求 有 請求項の数15 O L (全6頁) 最終頁に続く

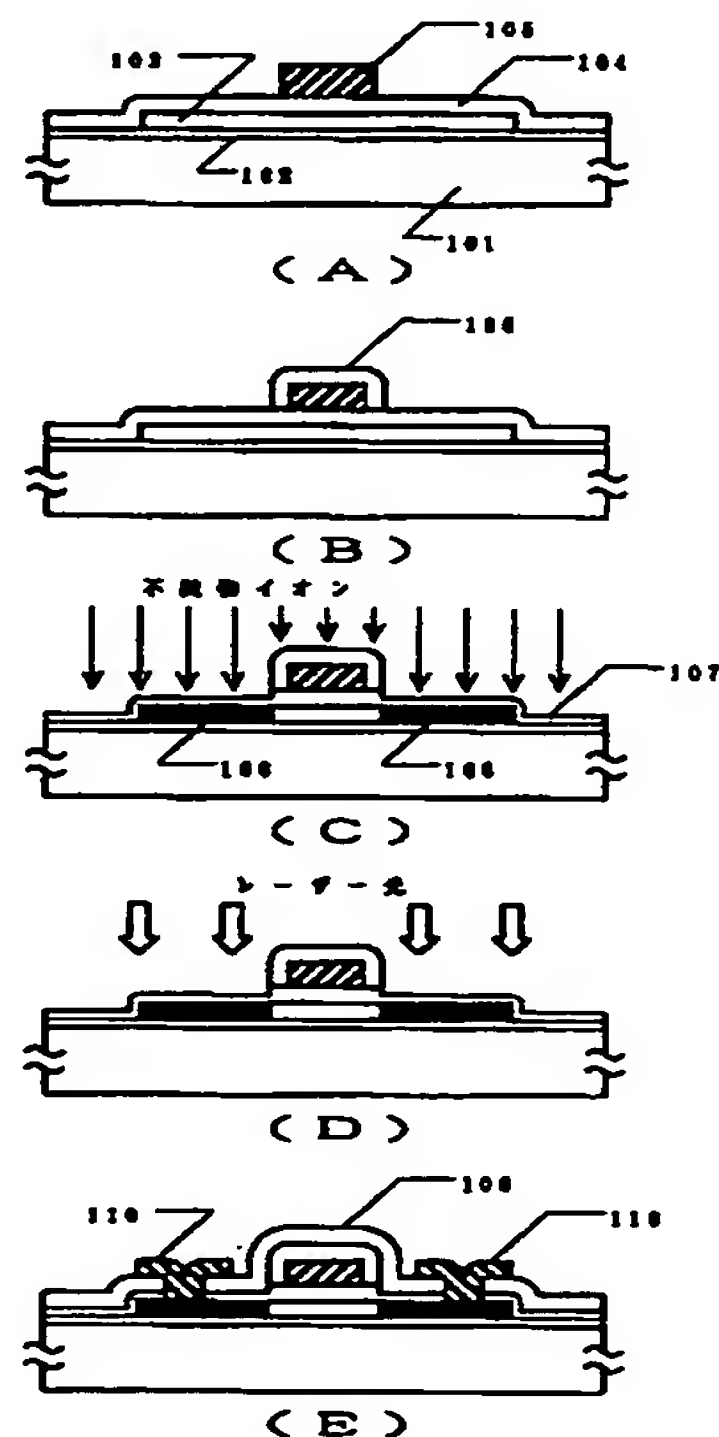
(21) 出願番号	特願2001-83241 (P 2001-83241)	(71) 出願人	000153878
(62) 分割の表示	特願平4-359158の分割		株式会社半導体エネルギー研究所
(22) 出願日	平成4年12月26日 (1992.12.26)		神奈川県厚木市長谷398番地
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 トランジスタの作製方法

(57) 【要約】

【課題】 トランジスタの作製方法において、半導体膜の結晶性を向上させることを課題とする。

【解決手段】 ソース領域、ドレイン領域及びチャネル形成領域を含む半導体、該半導体に接したゲート絶縁膜並びに該ゲート絶縁膜に接したゲート電極を有するトランジスタの作製方法において、前記ソース領域及び前記ドレイン領域は、半導体にN型もしくはP型の不純物を添加した後、前記不純物が添加された半導体にNd:YAGレーザー光を照射して形成されることを特徴とするトランジスタの作製方法。



【特許請求の範囲】

【請求項 1】ソース領域、ドレイン領域及びチャネル形成領域を含む半導体、該半導体に接したゲート絶縁膜並びに該ゲート絶縁膜に接したゲート電極を有するトランジスタの作製方法において、

前記ソース領域及び前記ドレイン領域は、半導体に N 型もしくは P 型の不純物を添加した後、前記不純物が添加された半導体に Nd : YAG レーザー光を照射して形成されることを特徴とするトランジスタの作製方法。

【請求項 2】ソース領域、ドレイン領域及びチャネル形成領域を含む半導体、該半導体に接したゲート絶縁膜並びに該ゲート絶縁膜に接したゲート電極を有するトランジスタの作製方法において、

前記ソース領域及び前記ドレイン領域は、半導体に N 型もしくは P 型の不純物を添加した後、Nd : YAG レーザー光の照射により前記不純物が添加された半導体を結晶化して形成されることを特徴とするトランジスタの作製方法。

【請求項 3】ソース領域、ドレイン領域及びチャネル形成領域を含む半導体、該半導体に接したゲート絶縁膜並びに該ゲート絶縁膜に接したゲート電極を有するトランジスタの作製方法において、

前記ソース領域及び前記ドレイン領域は、半導体に N 型もしくは P 型の不純物を添加した後、Nd : YAG レーザー光の照射により前記不純物が添加された半導体を活性化して形成されることを特徴とするトランジスタの作製方法。

【請求項 4】請求項 1 乃至請求項 3 のいずれかにおいて、前記半導体は、絶縁体上の半導体膜であることを特徴とするトランジスタの作製方法。

【請求項 5】請求項 1 乃至請求項 4 のいずれかにおいて、前記半導体は、結晶シリコンであることを特徴とするトランジスタの作製方法。

【請求項 6】請求項 1 乃至請求項 5 のいずれかにおいて、前記ゲート電極は、アルミニウム、シリコン、モリブデン、タングステンもしくはチタンまたはそれらの合金、珪化物もしくは窒化物を含むことを特徴とするトランジスタの作製方法。

【請求項 7】請求項 1 乃至請求項 5 のいずれかにおいて、前記ゲート電極は、アルミニウムを含むことを特徴とするトランジスタの作製方法。

【請求項 8】請求項 1 乃至請求項 7 のいずれかにおいて、前記 Nd : YAG レーザー光は、該 Nd : YAG レーザーの基本波であることを特徴とするトランジスタの作製方法。

【請求項 9】請求項 1 乃至請求項 7 のいずれかにおいて、前記 Nd : YAG レーザー光の波長は、1064 nm であることを特徴とするトランジスタの作製方法。

【請求項 10】請求項 1 乃至請求項 7 のいずれかにおいて、前記 Nd : YAG レーザー光は、該 Nd : YAG

レーザーの第 2 高調波であることを特徴とするトランジスタの作製方法。

【請求項 11】請求項 1 乃至請求項 7 のいずれかにおいて、前記 Nd : YAG レーザー光の波長は、532 nm であることを特徴とするトランジスタの作製方法。

【請求項 12】請求項 1 乃至請求項 7 のいずれかにおいて、前記 Nd : YAG レーザー光は、該 Nd : YAG レーザーの第 3 高調波であることを特徴とするトランジスタの作製方法。

【請求項 13】請求項 1 乃至請求項 7 のいずれかにおいて、前記 Nd : YAG レーザー光の波長は、355 nm であることを特徴とするトランジスタの作製方法。

【請求項 14】請求項 1 乃至請求項 7 のいずれかにおいて、前記 Nd : YAG レーザー光は、該 Nd : YAG レーザーの第 4 高調波であることを特徴とするトランジスタの作製方法。

【請求項 15】請求項 1 乃至請求項 7 のいずれかにおいて、前記 Nd : YAG レーザー光の波長は、266 nm であることを特徴とするトランジスタの作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MIS トランジスタの作製方法に関する。特に本発明は、高速イオンを照射することによって、半導体領域中に不純物を導入した後、レーザーアニールもしくはランプアニールのごとき、レーザーあるいはそれと同等な強光を半導体に照射することによって結晶性を向上せしめる方法に関する。

【0002】

【従来の技術】半導体 (S) 上に薄い絶縁被膜 (I) と制御用の (金属) 電極 (M) を設けた構造を MIS 構造といい、このような構造によって半導体を流れる電流を制御するトランジスタを MIS トランジスタという。絶縁被膜として、酸化珪素膜が用いられる場合には MOS トランジスタと称される。

【0003】このような MIS トランジスタは従来は、不純物導入後の活性化工程 (すなわち、不純物導入の際に生じた結晶欠陥を回復させる工程) を熱アニールによっておこなっていたが、そのためには 1000℃ 以上もの高温を必要とした。近年、プロセスの低温化の要請によって、このような高温での熱アニールに代わる方法が検討されている。その中で有力な方法はレーザー等の強光を照射することによって活性化をおこなう方法で、使用する光源によってレーザーアニール、あるいはランプアニールと称される。

【0004】従来のレーザーアニールを用いた MIS トランジスタの作製例を図 3 を用いて説明する。基板 301 上に下地絶縁膜 302 を堆積し、さらに実質的に真性の結晶性の半導体被膜を堆積し、これをパターンングして島状半導体領域 303 を形成する。そして、ゲート絶縁膜として機能する絶縁被膜 304 を堆積し、さらに、

10

20

30

40

50

ゲート電極 305 を形成する。(図 3 (A))

【0005】必要ならば、ゲート電極を陽極酸化して、ゲート電極・配線の上面および側面に陽極酸化物 306 を形成する。このような陽極酸化物を形成する方法およびそのメリットについては、特願平 4-30220、同 4-34194、同 4-38637 等に詳述されている。もちろん、必要がなければ、このような陽極酸化工程を用いなくとも構わないことは言うまでもない。(図 3 (B))

その後、イオン注入法、もしくはイオン(プラズマ)ドーピング法によって不純物のドーピングがおこなわれる。すなわち、高速イオン流に基板を置き、このゲート電極部、すなわちゲート電極とその周囲の陽極酸化物をマスクとして、島状半導体領域 303 に自己整合的に不純物を注入し、不純物領域(ソース、ドレインとなる) 307 を形成する。(図 3 (C))

【0006】さらに、レーザー光等の強光を照射して、先の不純物注入工程によって結晶性が劣化した半導体領域の結晶性を回復させる。(図 3 (D))

その後、層間絶縁物 308 を堆積し、これにコンタクトホールを設けて、ソースおよびドレイン電極 309 を形成して、完成させる。(図 3 (E))

【0007】

【発明が解決しようする課題】上記の方法では、トランジスタのゲート絶縁膜の耐圧を向上せしめんとすれば、ゲート絶縁膜の厚さは厚いほうが好ましかった。しかしながら、そのことは、同時に不純物イオンの加速電圧を高くし、ドーピング処理時間を長くすることを要求するものであった。特に浅い不純物領域を形成する場合には、極めてエネルギーのそろった単色性のイオンビームが必要とされたが、そのために単位時間当たりのドーズ量は著しく低下した。

【0008】一方、ドーピングを効率的におこなうためにゲート絶縁膜を除去して、半導体表面を露出せしめると、レーザー光等の強光を照射して活性化するに表面が粗くなり、コンタクト不良等の原因になった。本発明はこのような問題に鑑みてなされたものであって、ドーピングおよびレーザー活性化を効率よくおこなうための方法を提供する。

【0009】

【課題を解決するための手段】本発明では、ゲート絶縁膜として形成された絶縁被膜をゲート電極部をマスクとして自己整合的にエッチングして適切なエネルギーのイオンが透過する程度にまで薄くし、これを通して不純物を高速イオン照射によって半導体領域に導入する。しかる後、レーザー照射、もしくはそれと同等な強光を照射することによって、アニールを達成するものである。レーザー照射に先立って、透明な絶縁被膜を半導体表面に形成しておいてもよい。このような方法を採用するために、先に指摘したようなドーピングの効率の低下は生じ

ず、きわめて効率よくドーピングとそれに続く活性化が達成できる。

【0010】

【実施例】〔実施例 1〕 図 1 には本実施例を示す。コーニング 7059 等の無アルカリガラス基板 101 上に下地絶縁膜 102 として、厚さ 100 nm の酸化珪素膜を堆積し、さらに実質的に真性のアモルファスのシリコン半導体被膜(厚さ 150 nm) 堆積し、600℃で 12 時間アニールすることによってこれを結晶化させた。これをパターニングして島状半導体領域 103 を形成した。そして、ゲート絶縁膜として厚さ 120 nm の酸化珪素被膜 104 を堆積し、さらに、厚さ 600 nm のアルミニウムを用いてゲート電極 105 を形成した。(図 1 (A))

【0011】その後、ゲート電極を陽極酸化して、ゲート電極・配線の上面および側面に陽極酸化物 106 を形成した。このような陽極酸化物を形成する方法およびそのメリットについては、特開平 4-30220、同 4-34194、同 4-38637 等に詳述されている。もちろん、必要がなければ、このような陽極酸化工程を用いなくとも構わないことは言うまでもない。(図 1 (B))

【0012】その後、ドライエッチング法によって、ゲート絶縁膜をエッチングした。エッチングガスとしては四フッ化炭素等を用いた。このときには、陽極酸化物(アルミナ)はエッチングされず、結果的にゲート絶縁膜のうち、ゲート電極部(ゲート電極 105 と陽極酸化物 106)の下部に存在するもの以外がエッチングされた。ゲート絶縁膜 104 が 50 nm になった時点でエッチングを中断し、薄い絶縁膜 107 を形成した。そして、15~50 keV、例えば 30 keV に加速したリン/水素プラズマ流を照射することによって、島状半導体領域 103 に自己整合的にリンを注入し、不純物領域(ソース、ドレインとなる) 108 を形成した。(図 1 (C))

【0013】そして、KrF エキシマーレーザー光(波長 248 nm)を照射して、先の不純物注入工程によって結晶性が劣化した半導体領域 108 の結晶性を回復させた。このときのエネルギー密度は、150~300 mJ/cm²、例えば、200 mJ/cm² とした。(図 1 (D))

その後、層間絶縁物 109 を堆積し、これにコンタクトホールを設けて、ソースおよびドレイン電極 110 を形成して完成させた。以上の工程によって N チャネル型トランジスタが形成された(図 1 (E))

【0014】同様に P チャネル型トランジスタも形成でき、また、公知の CMOS 技術を使用すれば、同一基板上に N チャネル型トランジスタと P チャネル型トランジスタを混載することも可能である。例えば、本実施例に示した方法によって作製した MOS トランジスタの

典型的な移動度は、Nチャネル型で $120 \text{ cm}^2 / \text{Vs}$ 、Pチャネル型で $80 \text{ cm}^2 / \text{Vs}$ であった。また、同一基板上にNチャネルトランジスタとPチャネルトランジスタを形成して作製したCMOSシフトレジスタ（5段）では、ドレイン電圧20Vで15MHzの同期を確認した。

【0015】〔実施例2〕 図2には本実施例を示す。無アルカリガラス基板201上に下地絶縁膜202として、厚さ100nmの酸化珪素膜を堆積し、さらに実質的に真性のアモルファスのシリコン半導体被膜（厚さ50nm）堆積し、公知のレーザーアニール法によってこれを結晶化させた。これをパターニングして島状半導体領域203を形成した。そして、ゲート絶縁膜として厚さ120nmの酸化珪素被膜204を堆積し、さらに、厚さ600nmのアルミニウムを用いてゲート電極205を形成した。その後、ゲート電極を陽極酸化して、ゲート電極・配線の上面および側面に陽極酸化物206を形成した。（図2（A））

【0016】その後、ドライエッチング法によって、ゲート絶縁膜をエッチングした。エッチングガスとしては四フッ化炭素等を用いた。このときには、陽極酸化物（アルミナ）はエッチングされず、結果的にゲート絶縁膜のうち、ゲート電極部（ゲート電極205と陽極酸化物206）の下部に存在するもの以外がエッチングされた。ゲート絶縁膜204が50nmになった時点でエッチングを中断した。この結果、薄い絶縁膜207が形成された。そして、15～50keV、例えば30keVに加速したリン／水素プラズマ流を照射することによって、島状半導体領域203に自己整合的にリンを注入し、不純物領域（ソース、ドレインとなる）208を形成した。（図2（B））

【0017】そして、層間絶縁物209として、厚さ500nmの酸化珪素膜を堆積し、KrFエキシマーレーザー光（波長248nm）を照射して、先の不純物注入工程によって結晶性が劣化した半導体領域107の結晶性を回復させた。このときのエネルギー密度は、150～300mJ/cm²、例えば、200mJ/cm²とした。実施例1のように、レーザー照射時に薄い絶縁膜のみが半導体表面を覆っている状態では、半導体の結晶化の際の衝撃によって表面が荒れ、コンタクト形成時に問題となるが、本実施例のように厚い絶縁被膜が形成されている状態ではそのようなことがなかった。（図2（C））

【0018】その後、層間絶縁物209にコンタクトホールを設けて、ソースおよびドレイン電極210を形成して完成させた。以上の工程によってNチャネル型トランジスタが形成された（図2（D））

【0019】なお、本実施例では薄い絶縁膜207の上に重ねて層間絶縁膜としても機能する厚い絶縁膜を堆積

しているが、薄い絶縁膜を完全に除去して後に、厚い絶縁膜を堆積してもよい。不純物イオンが照射された際には、絶縁膜中にも多くの不純物を取り込まれ、レーザー光を吸収する原因となる。そこで、このような不純物を含有する絶縁膜を完全に除去することによって、後のレーザーアニールの効率を向上させることができる。

【0020】

【発明の効果】本発明によってイオン注入もしくはイオンドーピングおよびレーザーアニールもしくはランプアニールを効率的におこなう方法が提供された。本発明が、プロセスの低温化に寄与すること、およびそのことによる工業的利益が大であることは明らかであろう。実施例では、本発明を薄膜状の活性層を有するMISトランジスタ、いわゆる薄膜トランジスタに関して説明した。これは、特に基板の制約を受けやすい薄膜トランジスタにおいては、低温プロセスが必須とされているからである。しかしながら、単結晶半導体基板上に形成されたMISトランジスタに本発明を適用しても同様な効果が得られることは明白であろう。

【0021】本発明においては、半導体領域を構成する半導体の種類はシリコン、ゲルマニウム、炭化珪素、シリコン-ゲルマニウム合金、砒化ガリウム等が使用できる。さらに、ゲート電極を構成する材料としても、ドーパドシリコン、モリブテン、タングステン、チタン、アルミニウム、およびそれらの合金や珪化物、窒化物等が使用される。本発明において、レーザーを用いる場合には、ArFレーザー（波長193nm）、KrFレーザー（248nm）、XeClレーザー（308nm）、XeFレーザー（350nm）等のエキシマーレーザー、Nd:YAGレーザー（波長1064nm）、その第2高調波（532nm）、第3高調波（355nm）、第4高調波（266nm）等が適しているが、その他のレーザー、光源を使用することも本発明の範疇に含まれることは言うまでもない。

【図面の簡単な説明】

【図1】 実施例の作製プロセスを示す。

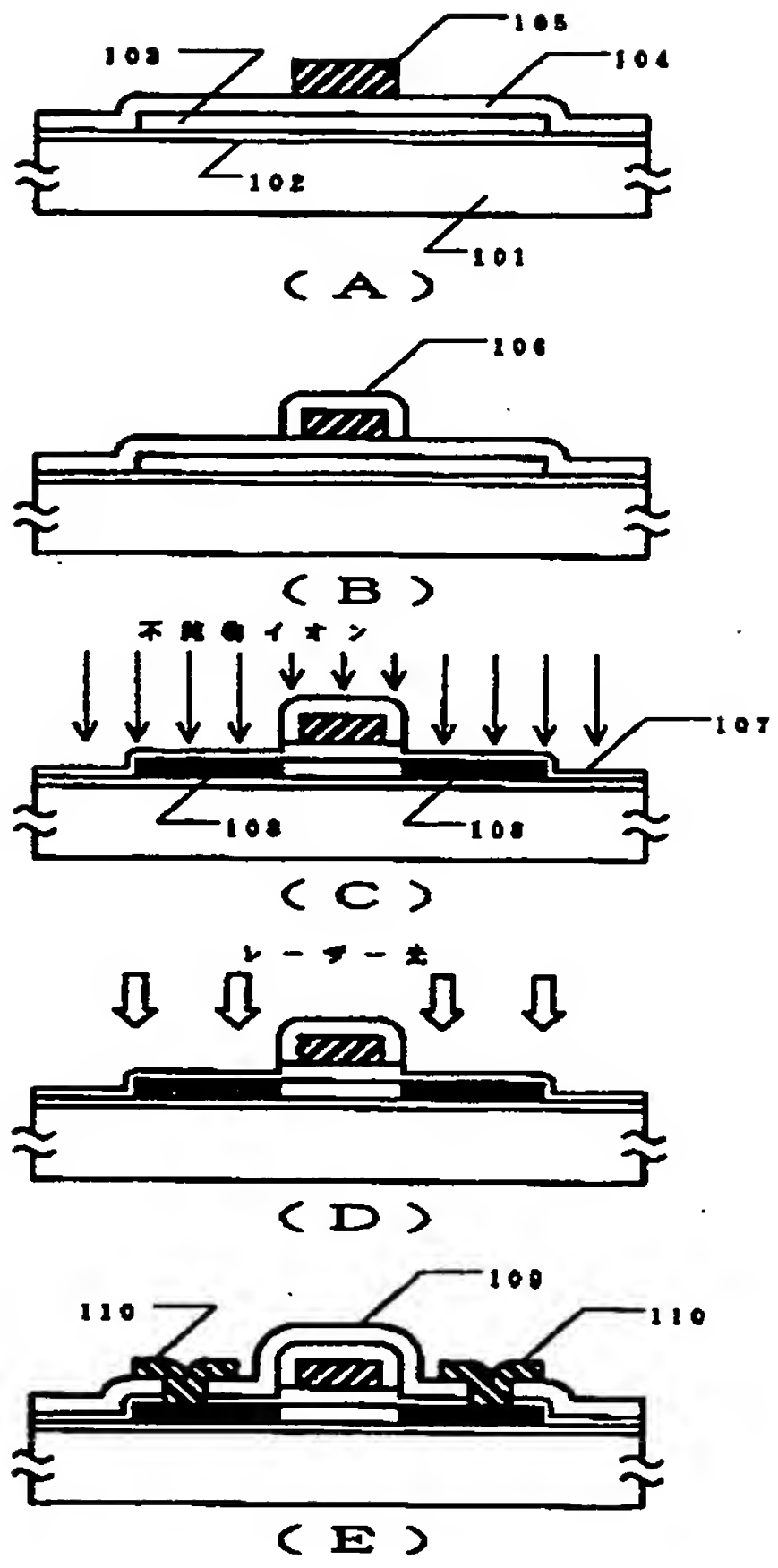
【図2】 実施例の作製プロセスを示す。

【図3】 従来の作製プロセスを示す。

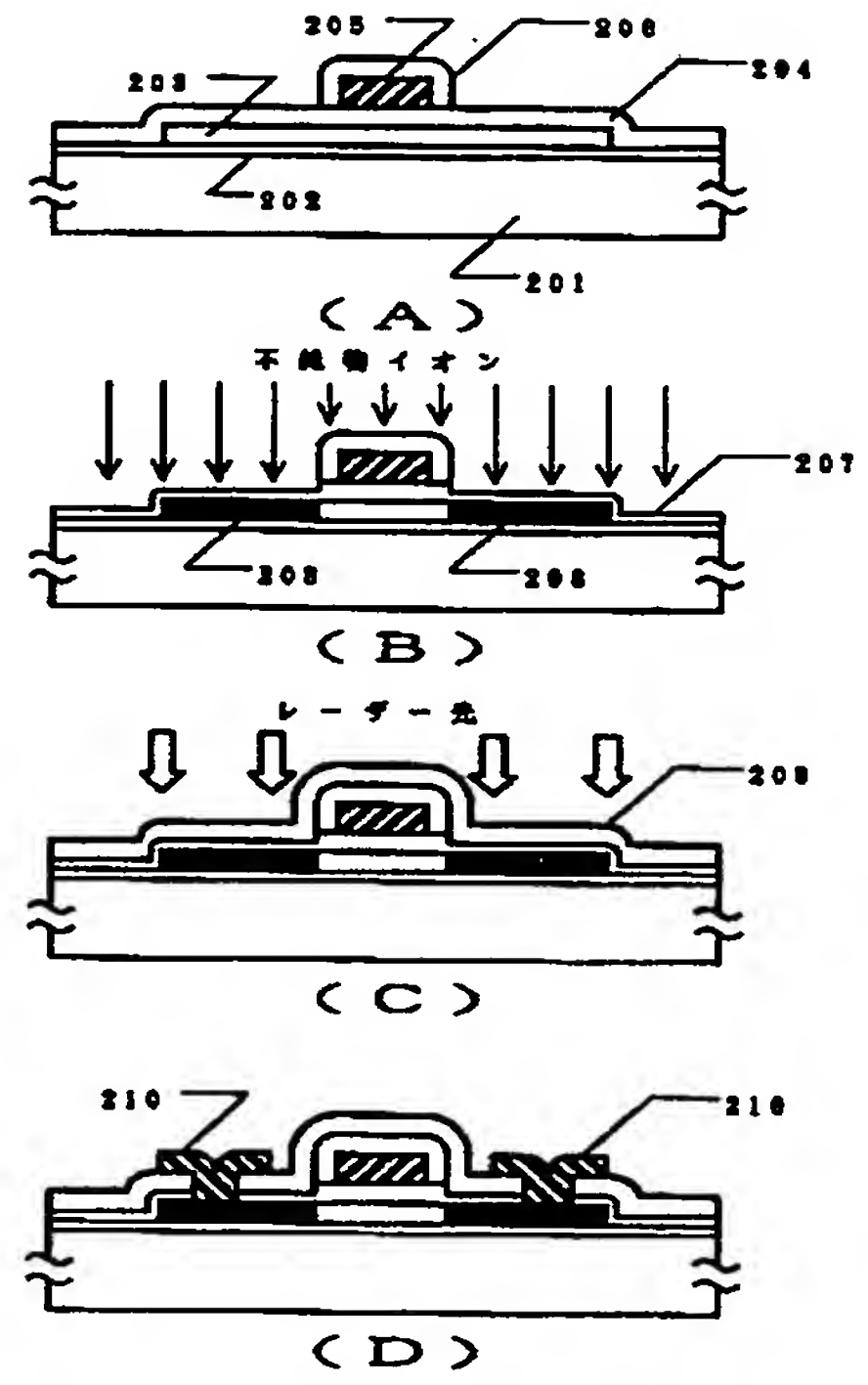
【符号の説明】

101、201、301・・・基板
102、202、302・・・下地絶縁膜
103、203、303・・・島状半導体領域
104、204、304・・・ゲート絶縁膜
105、205、305・・・ゲート電極
106、206、306・・・陽極酸化物
107、207・・・薄い絶縁膜
108、208、307・・・不純物領域
109、209、308・・・層間絶縁物
110、210、309・・・ソース、ドレイン電極

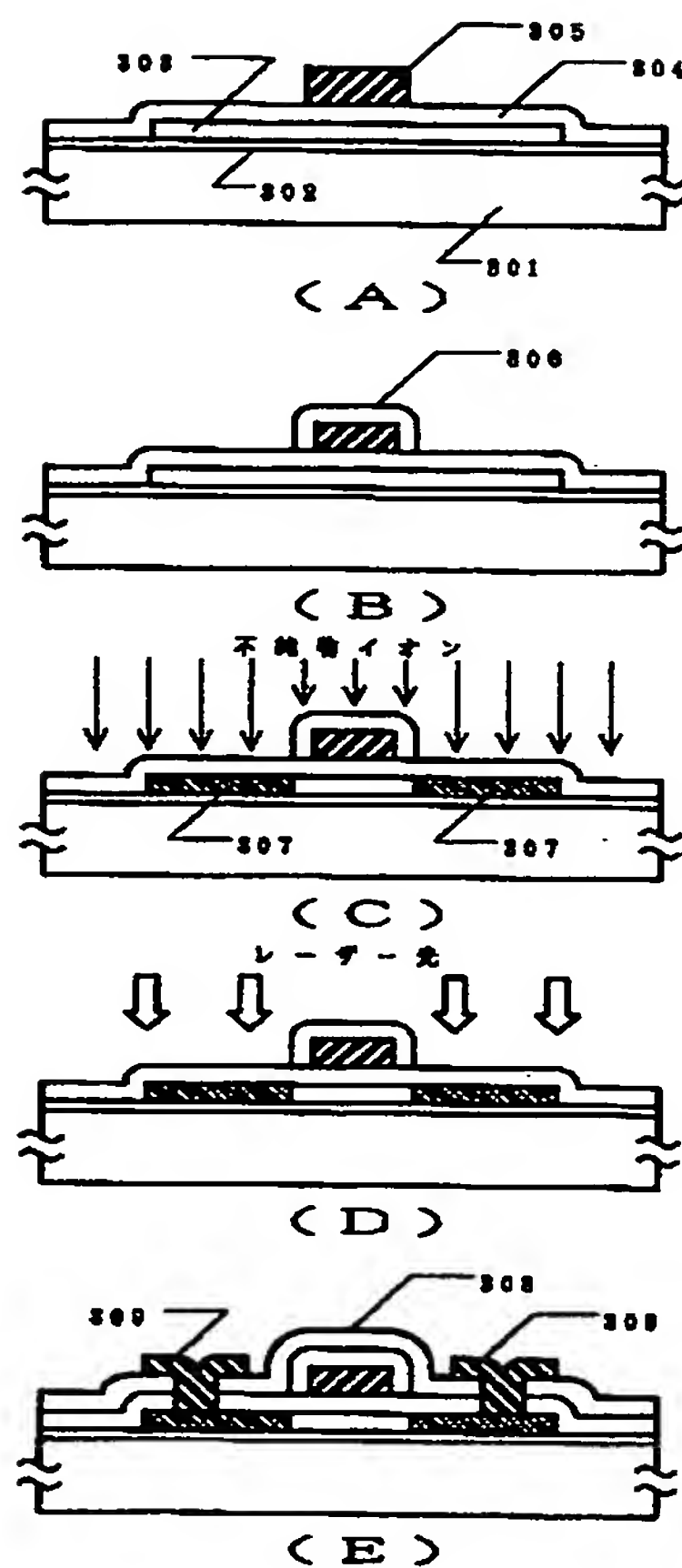
【図1】



【図2】



【図 3】



フロントページの続き

(51) Int. Cl.⁷
H01L 29/78

識別記号

FI
H01L 29/78

テマコード (参考)

301S
627G

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.